

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor substrate characterized by having the barrier layer of the high intensity silicon support substrate which doped the predetermined impurity to high concentration, and said high intensity silicon support substrate which is prepared in a rear face at least and prevents the out-diffusion of the impurity from said high intensity silicon support substrate, and the silicon layer prepared in the front face of said high intensity silicon support substrate through the insulator layer.

[Claim 2] The semi-conductor substrate characterized by said barrier layer being an insulating layer formed in the rear face and side face of said high intensity silicon support substrate in a semi-conductor substrate according to claim 1.

[Claim 3] The semi-conductor substrate characterized by said barrier layer being a polish recon layer formed in the rear face and side face of said high intensity silicon support substrate in a semi-conductor substrate according to claim 1.

[Claim 4] The semi-conductor substrate characterized by said barrier layer being the silicon substrate stretched at the rear face of said high intensity silicon support substrate in a semi-conductor substrate according to claim 1.

[Claim 5] The manufacture approach of the semi-conductor substrate characterized by to have the process which forms the barrier layer of the high-intensity silicon support substrate which doped the predetermined impurity to high concentration which prevents the out-diffusion of the impurity from said high-intensity silicon support substrate at the rear face at least, the process which make a silicon substrate rival through an insulator layer on the front face of said high-intensity silicon support substrate, and the process which grind the front face of said silicon substrate and form the silicon layer of predetermined thickness.

[Claim 6] The manufacture approach of a semi-conductor substrate that the process which forms said barrier layer is characterized by being the process which forms the insulating layer as a barrier layer in the rear face and side face of said high intensity silicon support substrate in the manufacture approach of a semi-conductor substrate according to claim 5.

[Claim 7] The manufacture approach of a semi-conductor substrate that the process which forms said barrier layer is characterized by being the process which forms the polish recon layer as a barrier layer in the rear face and side face of said high intensity silicon support substrate in the manufacture approach of a semi-conductor substrate according to claim 5.

[Claim 8] The manufacture approach of a semi-conductor substrate that the process which forms said barrier layer is characterized by being the process which makes the silicon substrate as a barrier layer rival at the rear face of said high intensity silicon support substrate in the manufacture approach of a semi-conductor substrate according to claim 5.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semi-conductor substrate and its manufacture approach, especially relates to a lamination SOI (Silicon On Insulator) substrate and its manufacture approach. In recent years, the lamination SOI substrate is considered in various applications, such as a memory device, a logic component, and CCD, from the rapidity and resistance to environment, and is expected as a next-generation ingredient. However, since it had to pass along the process of hundreds processes in order to make the latest detailed component, the curvature (bow) of the SOI substrate produced from the heat history had done the serious effect for a component property or the manufacture yield.

[0002] And the epoch-making approach was devised that the problem of the curvature of this SOI substrate should be solved recently. It by doping B (boron), germanium (germanium), etc. to high concentration at the time of the crystal growth of Si (silicon). The SOI substrate which is the approach of raising the crystal reinforcement of Si wafer and making a SOI substrate by using this high intensity Si wafer as a support substrate, and was obtained by this approach. It became clear that the curvature at the time of heat treatment is reduced by leaps and bounds [Tetsuo Fukuda and Akira Ohsawa,] [Mechanical strength of silicon crystals with] oxygen and boron impurities", Appl.Phys. Lett.vol.58, No.23, 2634 (1991) reference.

[0003]

[Description of the Prior Art] The above-mentioned high intensity lamination SOI substrate was produced as follows. In order to raise the reinforcement of a crystal, (1) B Three or more [first, / 1x10¹⁹cm⁻³] Si wafer which doped germanium three or more [3x10¹⁹cm⁻³], Si wafer which doped only (2) B three or more [3x10¹⁹cm⁻³], (3) One Si wafer of the Si wafers which doped only germanium three or more [3x10²⁰cm⁻³] is oxidized, and the thermal oxidation film with a thickness of 0.5 micrometers is formed in the whole surface.

[0004] Subsequently, mirror plane lamination and the electrical potential difference of 300V are impressed for the high intensity Si wafer as this support substrate, and Si wafer which forms a SOI layer at 800 degrees C under reduced pressure. Furthermore, it is N₂ in order to raise bond strength. 1100 degrees C and annealing for 30 minutes are carried out in an ambient atmosphere (nitrogen). Finally, Si wafer front face is ground, it is made thin to predetermined thickness, and a SOI layer is formed. In this way, the high intensity lamination SOI substrate which can reduce the curvature at the time of heat treatment by leaps and bounds is produced.

[0005]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned conventional high intensity lamination SOI substrate, since the support substrate of the high intensity contains a high concentration impurity intrinsically, and in order to have to pass through high temperature processing in an actual device process, the impurity carried out out-diffusion from the support substrate side by the thermal process, it mixed in the SOI layer, and there was a problem that the impurity control with a delicate component became difficult.

[0006] Then, this invention aims at offering the semi-conductor substrate which can

prevent mixing of the impurity from the support substrate which doped the impurity to high concentration to a SOI layer, and its manufacture approach while it reduces the curvature of a SOI substrate at the time of a thermal process.

[0007]

[Means for Solving the Problem] The above-mentioned technical problem is attained by the semi-conductor substrate characterized by having the barrier layer of the high intensity silicon support substrate which doped the predetermined impurity to high concentration, and said high intensity silicon support substrate which is prepared in a rear face at least and prevents the out-diffusion of the impurity from said high intensity silicon support substrate, and the silicon layer prepared in the front face of said high intensity silicon support substrate through the insulator layer.

[0008] Moreover, said barrier layer is attained in the above-mentioned semi-conductor substrate by the semi-conductor substrate characterized by being the insulating layer formed in the rear face and side face of said high intensity silicon support substrate.

Moreover, said barrier layer is attained in the above-mentioned semi-conductor substrate by the semi-conductor substrate characterized by being the polish recon layer formed in the rear face and side face of said high intensity silicon support substrate.

[0009] Moreover, said barrier layer is attained in the above-mentioned semi-conductor substrate by the semi-conductor substrate characterized by being the silicon substrate stretched at the rear face of said high intensity silicon support substrate. Furthermore, the process which forms the barrier layer of the high intensity silicon support substrate with which the above-mentioned technical problem doped the predetermined impurity to high concentration which prevents the out-diffusion of the impurity from said high intensity silicon support substrate at the rear face at least, It is attained by the manufacture approach of the semi-conductor substrate characterized by having the process which makes a silicon substrate rival through an insulator layer on the front face of said high intensity silicon support substrate, and the process which grinds the front face of said silicon substrate and forms the silicon layer of predetermined thickness.

[0010] Moreover, in the manufacture approach of the above-mentioned semi-conductor substrate, the process which forms said barrier layer is attained by the manufacture approach of the semi-conductor substrate characterized by being the process which forms the insulating layer as a barrier layer in the rear face and side face of said high intensity silicon support substrate. Moreover, in the manufacture approach of the above-mentioned semi-conductor substrate, the process which forms said barrier layer is attained by the manufacture approach of the semi-conductor substrate characterized by being the process which forms the polish recon layer as a barrier layer in the rear face and side face of said high intensity silicon support substrate.

[0011] Moreover, in the manufacture approach of the above-mentioned semi-conductor substrate, the process which forms said barrier layer is attained by the manufacture approach of the semi-conductor substrate characterized by being the process which makes the silicon substrate as a barrier layer rival at the rear face of said high intensity silicon support substrate.

[0012]

[Function] In this invention, since the out-diffusion of the impurity from a high intensity silicon support substrate can be controlled at the time of a subsequent thermal process by [of the high intensity silicon support substrate which doped the predetermined impurity to

high concentration] preparing the barrier layer in the rear face at least, mixing of the impurity to a silicon layer can be prevented and impurity control with a delicate component is enabled.

[0013]

[Example] Hereafter, based on the example illustrating this invention, it explains concretely. Drawing 1 is the sectional view showing the high intensity SOI substrate by the 1st example of this invention. B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped by the high intensity Si support substrate 10. And the thermal oxidation film 12 with a thickness of 0.3 micrometers is formed in the rear face and side face of this high intensity Si support substrate 10 as a barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10. Moreover, the SOI layer 16 of predetermined thickness is formed in the front face of the high intensity Si support substrate 10 through the thermal oxidation film 14 as an insulator layer.

[0014] Next, the 1st manufacture approach of the high intensity SOI substrate shown in drawing 1 is explained using process drawing of drawing 2. B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped by the high intensity Si support substrate 10 (refer to drawing 2 R> 2 (a)). And this high intensity Si support substrate 10 is heated in a sentiment (wet) oxygen ambient atmosphere with a temperature of 1000 degrees C, the thermal oxidation film 12 with a thickness of 0.3 micrometers is formed in that front face, a rear face, and a side face, and it considers as the barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 (refer to drawing 2 (b)).

[0015] on the other hand, the Si wafer 18 used as a SOI layer -- CZ (CHOKURARU skiing) -- it is 10ohms of specific resistance cm and the p mold Si wafer of indices of crystal plane (100) with which crystal pulling was made by law and 3 about [$1 \times 10^{15} \text{ cm}^{-3}$ concentration to] B was doped (refer to drawing 2 (c)). And this Si wafer 18 is heated in a wet oxygen ambient atmosphere with a temperature of 1100 degrees C, and the thermal oxidation film 20 with a thickness of 0.5 micrometers is formed in that front face, a rear face, and a side face (refer to drawing 2 (d)).

[0016] Subsequently, the thermal oxidation film 12 of high intensity Si support substrate 10 front face and the thermal oxidation film 20 of Si wafer 18 rear face are heated in lamination and temperature of 800 degrees C, and pulse-voltage 300V are added. In this way, high intensity Si support substrate 10 front face and Si wafer 18 rear face are made to rival through the thermal oxidation film 14 with a thickness of 0.8 micrometers it is thin from the thermal oxidation film 12 and the thermal oxidation film 20 (refer to drawing 2 (e)).

[0017] Subsequently, mechanochemical polishing of the Si wafer 18 front face is carried out, it is thin-film-ized, and the SOI layer 16 of predetermined thickness is formed (refer to drawing 2 (f)). In this way, the high intensity SOI substrate of drawing 1 with which the SOI layer 16 is formed in high intensity Si support substrate 10 front face on which the thermal oxidation film 12 as a barrier layer was formed in the rear face and the side face through the thermal oxidation film 14 with a thickness of 0.8 micrometers is produced.

[0018] Next, the curvature condition in the thermal process on device production and the mixing condition of the impurities germanium and B to the SOI layer 16 by the out-

diffusion from the high intensity Si support substrate 10 were investigated about the high intensity SOI substrate of drawing 1 produced by the manufacture approach of the above 1st. The thermal process in this experiment is a flow as simulated the thermal process of CMOS and shown in drawing 3, and is [in heat treatment of the temperature of 1000 degrees C, and 2hrs (time amount)] heat treatment of 1 time, the temperature of 1000 degrees C, and 2hrs 6 times, respectively about heat treatment of 2 times, the temperature of 1150 degrees C, and 8hrs N2 It carried out in the ambient atmosphere.

[0019] And the curvature of a high intensity SOI substrate was measured according to the specification of ASTM (American Society of Testing Materials). This result is shown in the graph of drawing 4. The curvature of the high intensity SOI substrate of drawing 1 at the time of using the high intensity Si support substrate 10 with which the impurities B and germanium by this example are doped to the curvature of the SOI substrate by the conventional technique using the usual Si support substrate with which Impurities B and germanium are not doped being about 60 micrometers improves substantially with about 20 micrometers so that clearly from this graph.

[0020] Moreover, germanium concentration and B concentration in the SOI layer 16 were measured using SIMS (Secondary Ion Mass Spectrometer). This result is shown in the graph of drawing 5 and drawing 6, respectively. As opposed to germanium concentration in the SOI layer in the case of the high intensity SOI substrate by the conventional technique in which Impurities B and germanium are only doped by Si support substrate being about [$1 \times 10^{16} \text{cm}^{-3}$] three so that clearly from the graph of drawing 5 germanium concentration in the SOI layer 16 in the case of the high intensity SOI substrate of drawing 1 by this example by which the thermal oxidation film 12 as a barrier layer is formed in the rear face and side face of the high intensity Si support substrate 10 is very as low as (DL) below limit of detection like the case of an initial wafer.

[0021] Furthermore, B concentration in the SOI layer 16 in the case of the high intensity SOI substrate of drawing 1 by this example hardly changes to about [$1 \times 10^{15} \text{cm}^{-3}$] 3 and the case of an initial wafer to B concentration in the SOI layer in the case of the high intensity SOI substrate by the conventional technique being about [$1 \times 10^{16} \text{cm}^{-3}$] three so that clearly from the graph of drawing 6. Thus, since the high intensity Si support substrate 10 with which Impurities B and germanium are doped by high concentration is used according to the 1st example, the curvature at the time of the thermal process on subsequent device production can be reduced as a high intensity SOI substrate.

[0022] Moreover, since this thermal oxidation film 12 can function as a barrier layer to the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 and can prevent mixing of the impurities B and germanium to the SOI layer 16 in the time of a subsequent thermal process by forming the thermal oxidation film 12 in the rear face and side face of the high intensity Si support substrate 10, impurity control with a delicate component is enabled.

[0023] Therefore, while being able to raise the yield of a process using a high intensity SOI substrate, the property and dependability of a component can be raised. In addition, in the 1st example of the above, although the high intensity SOI substrate of drawing 1 was produced using the 1st manufacture approach shown in process drawing of drawing 2, you may produce using the 2nd manufacture approach shown in process drawing of drawing 7.

[0024] That is, the thermal oxidation film 12 as a barrier layer is formed in the front face, rear face, and side face of the high intensity Si support substrate 10 like drawing 2 (a) and (b) (refer to drawing 7 (a) and (b)). Then, only the thermal oxidation film 12 of high intensity Si support substrate 10 front face is removed selectively (refer to drawing 7 (c)). Moreover, the thermal oxidation film 20 is formed in the front face, rear face, and side face of the Si wafer 18 used as a SOI layer like drawing 2 (c) and (d) (refer to drawing 7 (d) and (e)).

[0025] Subsequently, high intensity Si support substrate 10 exposed front face where the thermal oxidation film 12 was removed, and Si wafer 18 rear face in which the thermal oxidation film 20 was formed are heated in lamination and temperature of 800 degrees C, and pulse-voltage 300V are added (refer to drawing 7 (f)). In addition, after forming the thermal oxidation film 12 as a barrier layer in the front face, rear face, and side face of the high intensity Si support substrate 10 at this time, Instead of making high intensity Si support substrate 10 exposed front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed rival After making high intensity Si support substrate 10 front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed rival, the thermal oxidation film 12 as a barrier layer may be formed in the rear face and side face of the exposed high intensity Si support substrate 10.

[0026] Subsequently, mechanochemical polishing of the Si wafer 18 front face is carried out, it is thin-film-sized, and the SOI layer 16 of predetermined thickness is formed. In this way, the high intensity SOI substrate with which the SOI layer 16 is formed in high intensity Si support substrate 10 front face on which the thermal oxidation film 12 as a barrier layer was formed in the rear face and the side face through the thermal oxidation film 20 with a thickness of 0.5 micrometers is produced (refer to drawing 7 R>7 (g)).

[0027] In addition, the high intensity SOI substrate produced using this 2nd manufacture approach is making the same structure as the high intensity SOI substrate of drawing 1 produced using the 1st manufacture approach, and it differs in that the insulator layer between the high intensity Si support substrate 10 and the SOI layer 16 is the thermal oxidation film 20 with a thickness of 0.5 micrometers instead of the thermal oxidation film 14 with a thickness of 0.8 micrometers shown in drawing 2 (f).

[0028] Next, the high intensity SOI substrate by the 2nd example of this invention is explained using the sectional view shown in drawing 8. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-mentioned drawing 1, and explanation is omitted. as the barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 in the rear face and side face of the high intensity Si support substrate 10 which B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped -- CVD (Chemical Vapor Deposition) -- the so-called CVD oxide film 22 with a thickness of 0.3 micrometers formed of law is formed. Moreover, the SOI layer 16 of predetermined thickness is formed in the front face of the high intensity Si support substrate 10 through the thermal oxidation film 20 with a thickness of 0.5 micrometers.

[0029] Next, the manufacture approach of the high intensity SOI substrate shown in drawing 8 is explained using process drawing of drawing 9. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-mentioned drawing 2 R>2, and explanation is omitted. B of concentration $3 \times 10^{19} \text{ cm}^{-3}$

and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped by the high intensity Si support substrate 10 like drawing 2 (a) (refer to drawing 9 (a)). Moreover, the thermal oxidation film 20 is formed in the front face, rear face, and side face of 10 ohms of specific resistance cm, and the p mold B dope CZ-Si wafer 18 of indices of crystal plane (100) like drawing 2 (c) and (d) (refer to drawing 9 (b) and (c)).

[0030] Subsequently, high intensity Si support substrate 10 front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed are heated in lamination and temperature of 800 degrees C, and pulse-voltage 300V are added (refer to drawing 9 (d)). Subsequently, a CVD method is used for the rear face and side face of the exposed high intensity Si support substrate 10, the CVD oxide film 22 with a thickness of 0.3 micrometers is formed in them, and it considers as the barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 (refer to drawing 9 (e)).

[0031] Subsequently, mechanochemical polishing of the Si wafer 18 front face is carried out, it is thin-film-ized, and the SOI layer 16 of predetermined thickness is formed (refer to drawing 9 (f)). In this way, the high intensity SOI substrate of drawing 8 with which the SOI layer 16 is formed in high intensity Si support substrate 10 front face on which the CVD oxide film 22 as a barrier layer was formed in the rear face and the side face through the thermal oxidation film 20 is produced.

[0032] Thus, the high intensity SOI substrate by the 2nd example has the description in the point that the CVD oxide film 22 is formed in the rear face and side face of the high intensity Si support substrate 10, instead of the thermal oxidation film 12 in the 1st example of the above. Therefore, since this CVD oxide film 22 functions in the time of a subsequent thermal process as a barrier layer to the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10, the same effectiveness as the 1st example of the above can be done so.

[0033] In addition, in the 2nd example of the above, as a barrier layer for preventing that Impurities B and germanium carry out out-diffusion from the high intensity Si support substrate 10, although the CVD oxide film 22 with a thickness of 0.3 micrometers is used, the PSG (Phospho-Silicate Glass) film with a thickness of 1 micrometer or a nitride with a thickness of 0.3 micrometers may be used instead of this CVD oxide film 22.

[0034] In this case, what is necessary is just to form the PSG film with a thickness of 1 micrometer or a nitride with a thickness of 0.3 micrometers in the rear face and side face of the exposed high intensity Si support substrate 10 instead of the CVD oxide film 22 in the process shown in above-mentioned drawing 9 (e). Moreover, although the CVD oxide film 22 as a barrier layer is formed in the rear face and side face of the exposed high intensity Si support substrate 10 after making high intensity Si support substrate 10 front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed rival in the 2nd example of the above After forming the CVD oxide film 22 as a barrier layer in the rear face and side face of the high intensity Si support substrate 10, lamination of high intensity Si support substrate 10 exposed front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed may be performed.

[0035] Next, the high intensity SOI substrate by the 3rd example of this invention is explained using the sectional view shown in drawing 10. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-

mentioned drawing 8, and explanation is omitted. The Pori Si film 24 with with - with a concentration of $3 \times 10^{19} \text{ cm}^{-3}$ a concentration [B of 3 and concentration of $1 \times 10^{20} \text{ cm}^{-3}$] - a thickness of 0.4 micrometers formed by the CVD method is formed in the rear face and side face of the high intensity Si support substrate 10 which germanium of 3 is doped, as a barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10. Moreover, the SOI layer 16 of predetermined thickness is formed in the front face of the high intensity Si support substrate 10 through the thermal oxidation film 20 with a thickness of 0.5 micrometers.

[0036] Next, the manufacture approach of the high intensity SOI substrate shown in drawing 10 is explained using process drawing of drawing 11. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-mentioned drawing 9, and explanation is omitted. B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped by the high intensity Si support substrate 10 like drawing 9 (a) (refer to drawing 11 (a)). Moreover, the thermal oxidation film 20 is formed in the front face, rear face, and side face of 10ohms of specific resistance cm, and the p mold B dope CZ-Si wafer 18 of indices of crystal plane (100) like drawing 9 (b) and (c) (refer to drawing 11 (b) and (c)).

[0037] Subsequently, high intensity Si support substrate 10 front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed are heated in lamination and temperature of 800 degrees C, and pulse-voltage 300V are added (refer to drawing 11 (d)). Subsequently, a CVD method is used for the rear face and side face of the exposed high intensity Si support substrate 10, the Pori Si film 24 with a thickness of 0.4 micrometers is formed in them, and it considers as the barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 (refer to drawing 11 (e)).

[0038] Subsequently, mechanochemical polishing of the Si wafer 18 front face is carried out, it is thin-film-sized, and the SOI layer 16 of predetermined thickness is formed (refer to drawing 11 (f)). In this way, the high intensity SOI substrate of drawing 10 with which the SOI layer 16 is formed in high intensity Si support substrate 10 front face on which the Pori Si film 24 as a barrier layer was formed in the rear face and the side face through the thermal oxidation film 20 is produced.

[0039] Thus, the high intensity SOI substrate by the 3rd example has the description in the point that the Pori Si film 24 is formed in the rear face and side face of the high intensity Si support substrate 10, instead of the CVD oxide film 22 in the 2nd example of the above. Therefore, while this Pori Si film 24 functions in the time of a subsequent thermal process as a barrier layer to the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 It is, and according to the ** poly back seal effectiveness to break, since the trap of the metal contamination produced in a process can be carried out to the interface of the Pori Si film 24 and the high intensity Si support substrate 10, the effectiveness beyond it as well as [or] the 1st example of the above can be done so.

[0040] Next, the high intensity SOI substrate by the 4th example of this invention is explained using the sectional view shown in drawing 12. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-mentioned drawing 8, and explanation is omitted. 10ohms of specific resistance cm and the p mold B dope CZ-Si wafer 26 of indices of crystal plane (100) are made to rival as a

barrier layer for preventing the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10 by high intensity Si support substrate 10 rear face at which B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped. Moreover, the SOI layer 16 of predetermined thickness is formed in the front face of the high intensity Si support substrate 10 through the thermal oxidation film 20 with a thickness of 0.5 micrometers.

[0041] Next, the manufacture approach of the high intensity SOI substrate shown in drawing 12 is explained using process drawing of drawing 13. In addition, the same sign is given to the same component as the high intensity SOI substrate shown in above-mentioned drawing 9, and explanation is omitted. B of concentration $3 \times 10^{19} \text{ cm}^{-3}$ and germanium of concentration $1 \times 10^{20} \text{ cm}^{-3}$ are doped by the high intensity Si support substrate 10 like drawing 9 (a) (refer to drawing 13 (a)). Moreover, the thermal oxidation film 20 is formed in the front face, rear face, and side face of 10ohms of specific resistance cm, and the p mold B dope CZ-Si wafer 18 of indices of crystal plane (100) like drawing 9 (b) and (c) (refer to drawing 13 (b) and (c)).

[0042] Subsequently, high intensity Si support substrate 10 front face and Si wafer 18 rear face in which the thermal oxidation film 20 was formed are heated in lamination and temperature of 800 degrees C, and pulse-voltage 300V are added (refer to drawing 13 (d)). Subsequently, let 10ohms of specific resistance cm, and the p mold B dope CZ-Si wafer 26 of indices of crystal plane (100) be the barrier layers for preventing the out-diffusion of the impurities B and germanium from lamination and the high intensity Si support substrate 10 at the rear face of the exposed high intensity Si support substrate 10 (refer to drawing 13 R>3 (e)).

[0043] Subsequently, mechanochemical polishing of the Si wafer 18 front face is carried out, it is thin-film-ized, and the SOI layer 16 of predetermined thickness is formed (refer to drawing 13 (f)). In this way, the high intensity SOI substrate of drawing 12 with which the SOI layer 16 is formed in the rear face through the thermal oxidation film 20 on high intensity Si support substrate 10 front face on which the Si wafer 26 as a barrier layer was made to rival is produced.

[0044] Thus, the high intensity SOI substrate by the 4th example has the description in the point that the Si wafer 26 is formed in high intensity Si support substrate 10 rear face, instead of the CVD oxide film 22 in the 2nd example of the above. In addition, although there is a possibility that Impurities B and germanium may carry out out-diffusion from this exposed surface when high intensity Si support substrate 10 side face has been exposed, the thickness of the high intensity Si support substrate 10 is about 500 micrometers, and since the exposure area of that side face is very small as compared with the area of base of the high intensity Si support substrate 10, there is also very little out-diffusion of Impurities B and germanium, and it can be disregarded practically.

[0045] Therefore, since the Si wafer 26 functions in the time of a subsequent thermal process as a barrier layer to the out-diffusion of the impurities B and germanium from the high intensity Si support substrate 10, the almost same effectiveness as the 1st example of the above can be done so.

[0046]

[Effect of the Invention] The high intensity silicon support substrate which doped the predetermined impurity to high concentration according to this invention as explained

above, The barrier layer of this high intensity silicon support substrate which is prepared in a rear face at least and prevents the out-diffusion of the impurity from said high intensity silicon support substrate, By having the silicon layer prepared in the front face of a high intensity silicon support substrate through the insulator layer Since the out-diffusion of the impurity from a high intensity silicon support substrate can be controlled at the time of the thermal process at the time of forming a component in a silicon layer and mixing of the impurity to a silicon layer can be prevented, impurity control with a delicate component is enabled.

[0047] Therefore, while being able to raise the yield of a process using this semi-conductor substrate, the property and dependability of a component can be raised.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the high intensity SOI substrate by the 1st example of this invention.

[Drawing 2] It is process drawing for explaining the 1st manufacture approach of the high intensity SOI substrate of drawing 1.

[Drawing 3] It is drawing for explaining the thermal process added to the high intensity SOI substrate produced by the 1st manufacture approach shown in drawing 2.

[Drawing 4] It is the graph which shows the curvature of the high intensity SOI substrate when adding the thermal process shown in drawing 3.

[Drawing 5] It is the graph which shows germanium concentration mixed in the SOI layer of the high intensity SOI substrate when adding the thermal process shown in drawing 3.

[Drawing 6] It is the graph which shows B concentration mixed in the SOI layer of the high intensity SOI substrate when adding the thermal process shown in drawing 3.

[Drawing 7] It is process drawing for explaining the 2nd manufacture approach of the high intensity SOI substrate of drawing 1.

[Drawing 8] It is the sectional view showing the high intensity SOI substrate by the 2nd example of this invention.

[Drawing 9] It is process drawing for explaining the manufacture approach of the high intensity SOI substrate of drawing 8.

[Drawing 10] It is the sectional view showing the high intensity SOI substrate by the 3rd example of this invention.

[Drawing 11] It is process drawing for explaining the manufacture approach of the high intensity SOI substrate of drawing 10.

[Drawing 12] It is the sectional view showing the high intensity SOI substrate by the 4th example of this invention.

[Drawing 13] It is process drawing for explaining the manufacture approach of the high intensity SOI substrate of drawing 12.

[Description of Notations]

10 -- High intensity Si support substrate

12 -- Thermal oxidation film

14 -- Thermal oxidation film

16 -- SOI layer

18 -- Si wafer

20 -- Thermal oxidation film

22 -- CVD oxide film

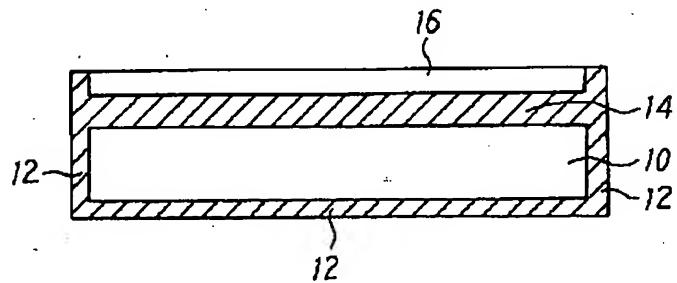
24 -- Pori Si film

26 -- Si wafer

DRAWINGS

[Drawing 1]

本発明の第1の実施例による高強度S O I基板を示す断面図



10…高強度S I支持基板

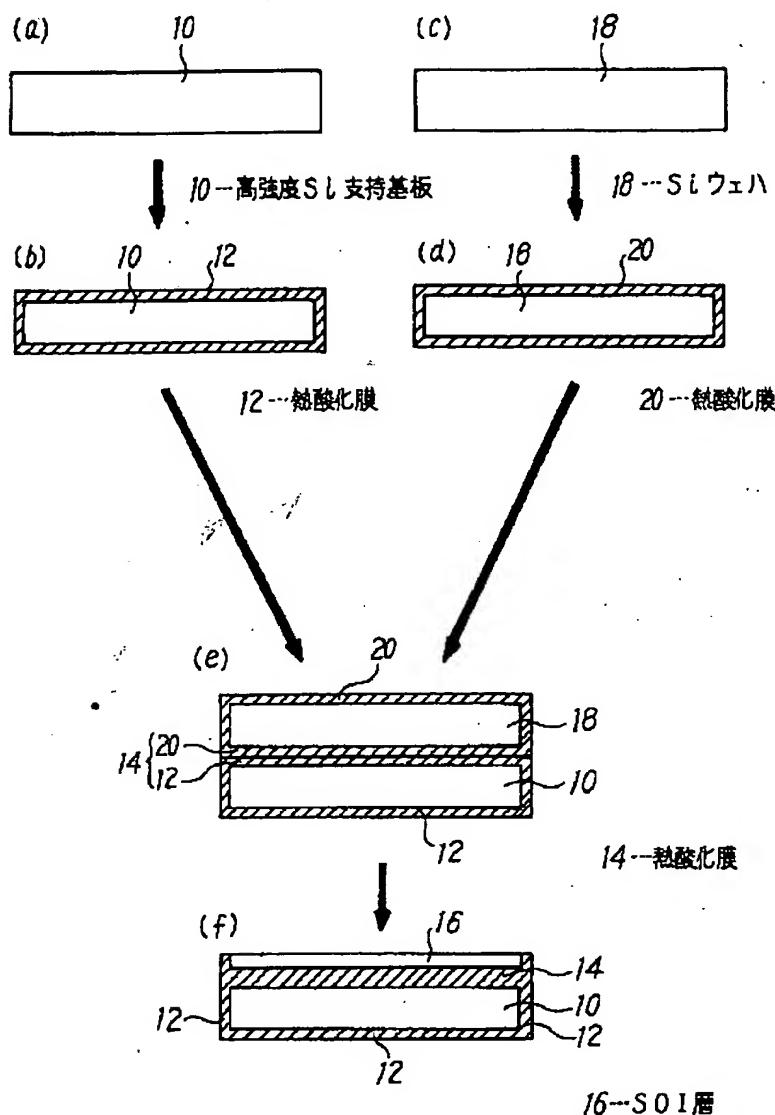
12…熱酸化膜

14…熱酸化膜

16…SOI層

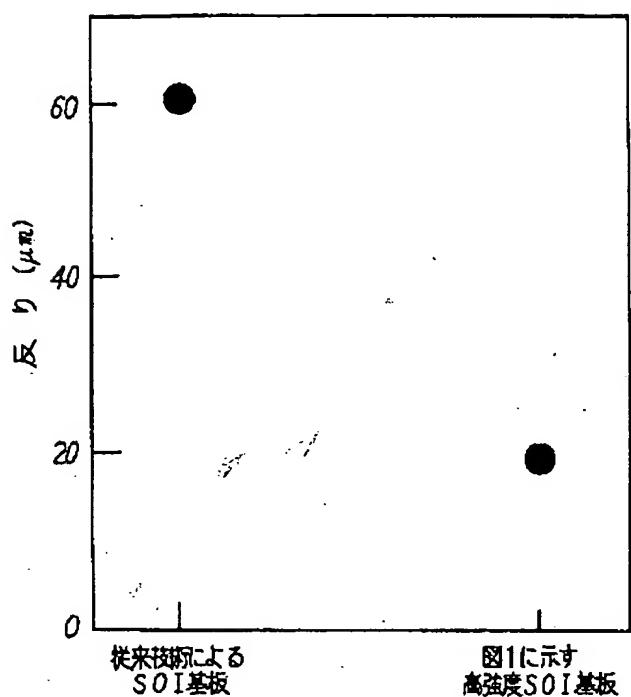
[Drawing 2]

図1の高強度S O I基板の第1の製造方法を説明するための工程図



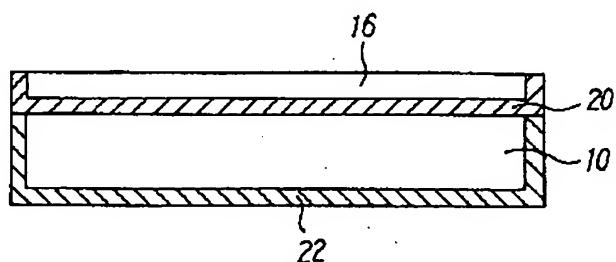
[Drawing 4]

図3に示す熱プロセスを加えたときの
図1の高強度S O I 基板の反りを示すグラフ



[Drawing 8]

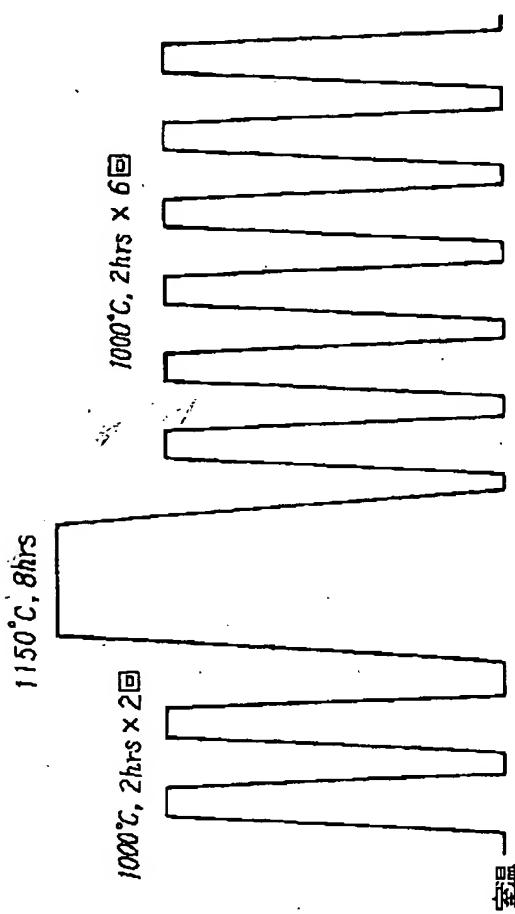
本発明の第2の実施例による高強度S O I 基板を示す断面図



22—C V D酸化膜

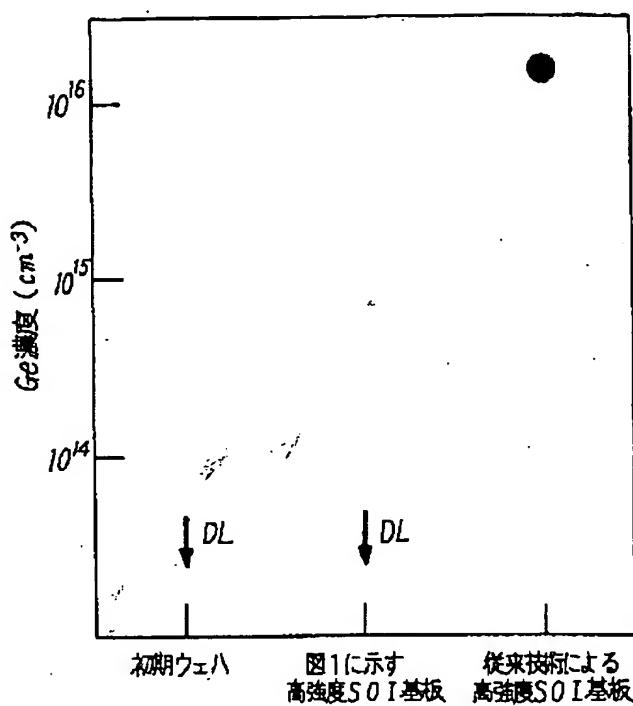
[Drawing 3]

図1の高強度S O I 基板に加えた熱プロセスを説明するための図



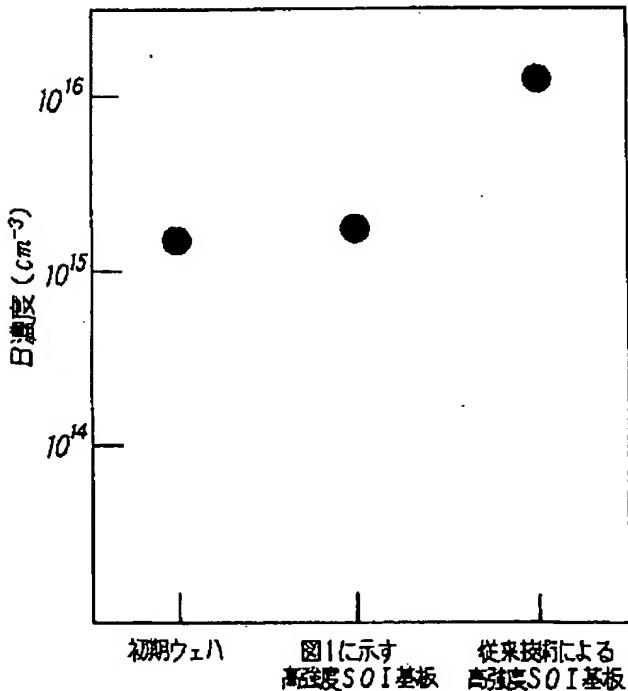
[Drawing 5]

図3に示す熱プロセスを加えたときの図1の高強度
SOI基板のSOI層に混入したGe濃度を示すグラフ



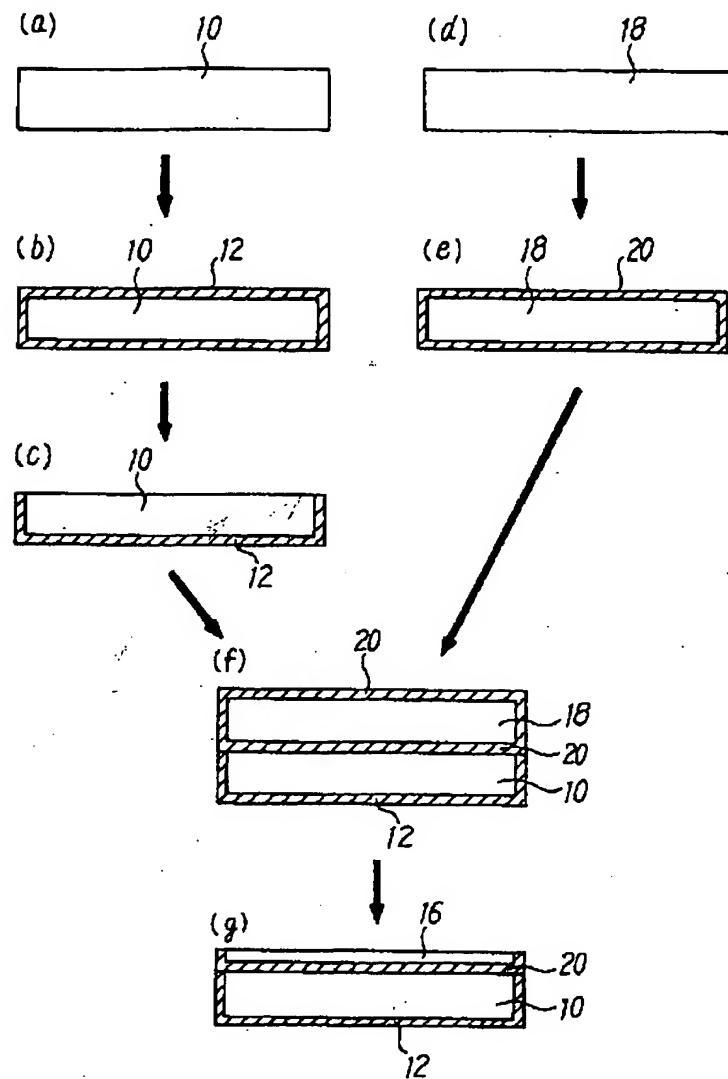
[Drawing 6]

図3に示す熱プロセスを加えたときの図1の高強度
SOI基板のSOI層に混入したB濃度を示すグラフ



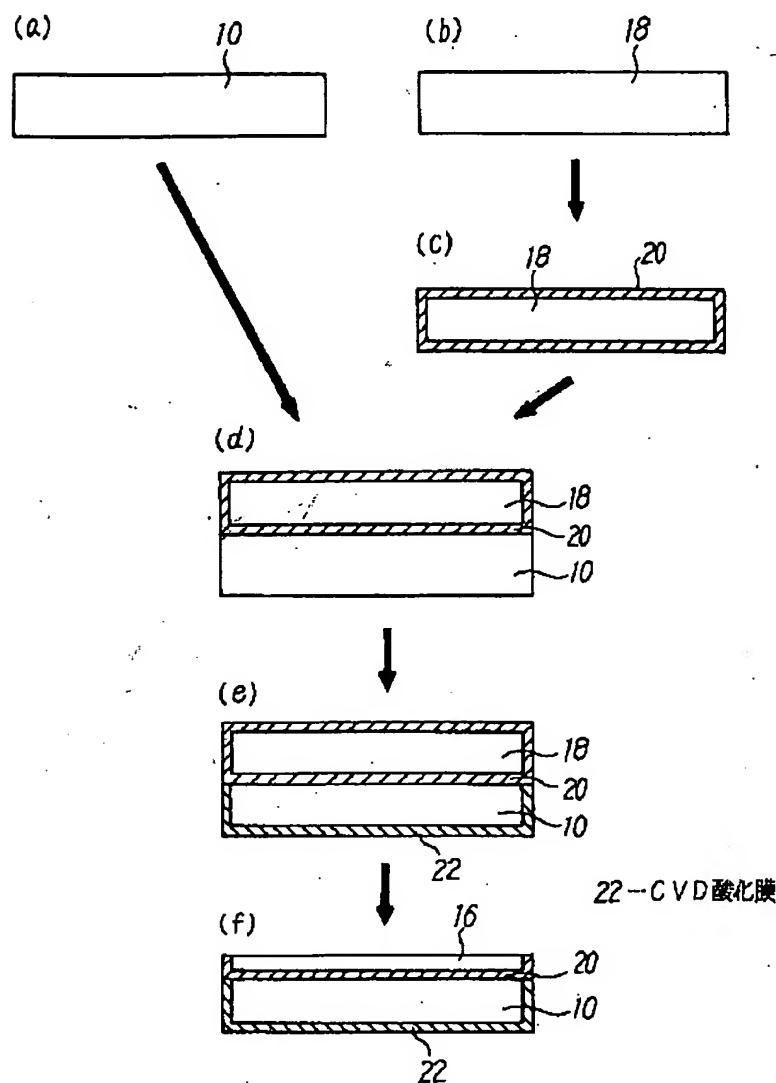
[Drawing 7]

図1の高強度S O I基板の第2の製造方法を説明するための工程図



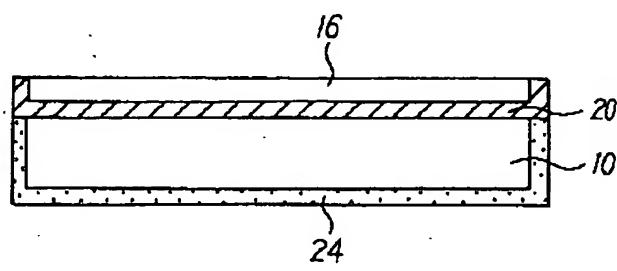
[Drawing 9]

図8の高強度S O I基板の製造方法を説明するための工程図



[Drawing 10]

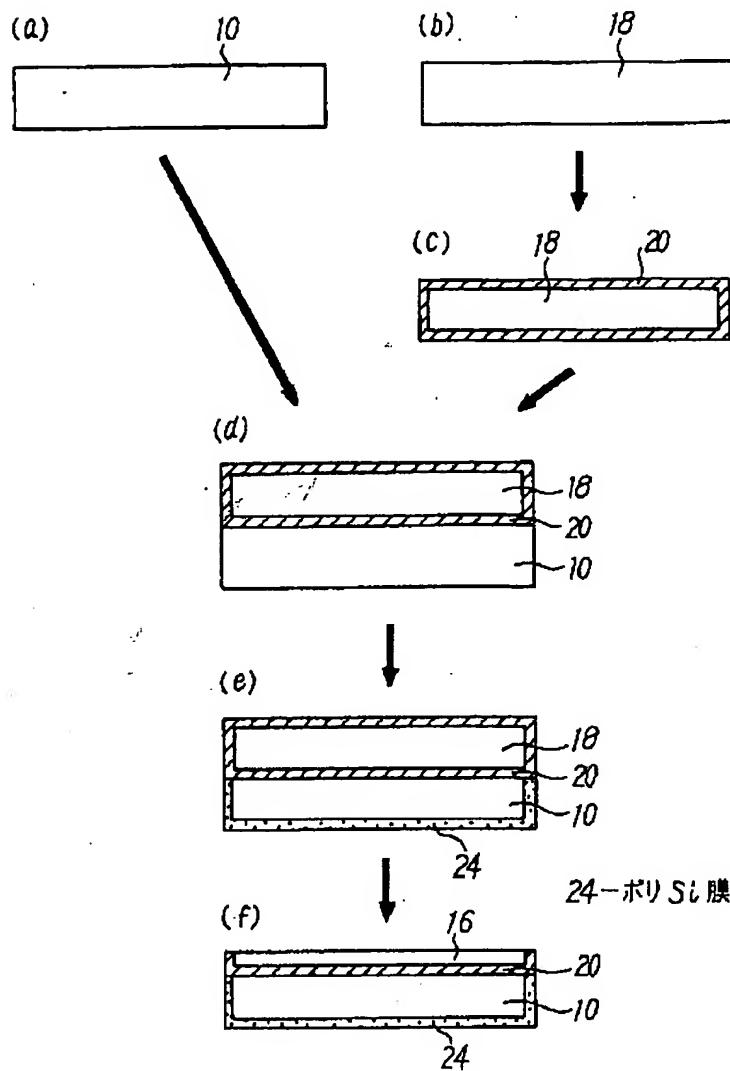
本発明の第3の実施例による高強度S O I基板を示す断面図



24-ポリSi膜

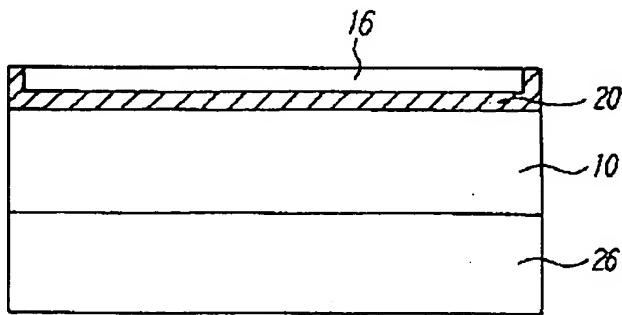
[Drawing 11]

図10の高強度S O I 基板の製造方法を説明するための工程図



[Drawing 12]

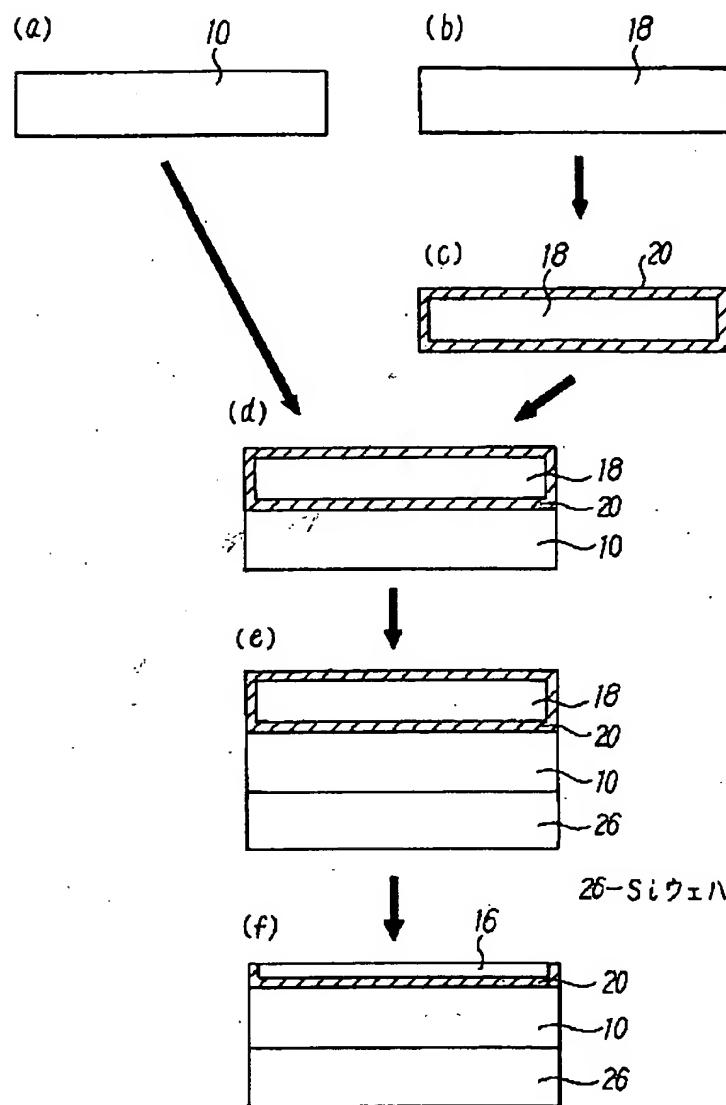
本発明の第4の実施例による高強度S O I 基板を示す断面図



26—シリコン

[Drawing 13]

図12の高強度S0I基板の製造方法を説明するための工程図



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-226620

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.
H 01 L 27/12
21/02

案別記号 Z 8728-4M
序内整理番号 B 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 8(全 10 頁)

(21)出願番号

特願平4-30472

(22)出願日

平成4年(1992)2月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 中西 俊郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 福田 哲生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 岸井 貞浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

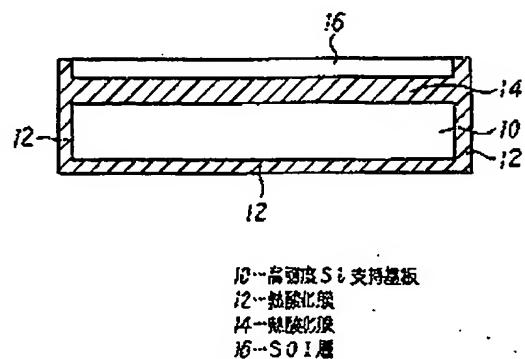
(54)【発明の名称】 半導体基板及びその製造方法

(57)【要約】

【目的】本発明は、熱プロセス時において、SOI基板の反りを低減すると共に不純物を高濃度にドーピングした支持基板からSOI層への不純物の混入を防止することができる半導体基板及びその製造方法を提供することを目的とする。

【構成】高強度Si支持基板10には、濃度 3×10^{19} cm $^{-3}$ のBと濃度 1×10^{19} cm $^{-3}$ のGeがドーピングされている。そしてこの高強度Si支持基板10の裏面及び側面には、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層として、厚さ0.3μmの熱酸化膜12が形成されている。また、高強度Si支持基板10の表面には、絶縁膜としての熱酸化膜14を介して、所定の厚さのSOI層16が形成されている。

本発明の第1の実施例による高強度Si支持基板を示す断面図



(2)

特開平5-226620

1

【特許請求の範囲】

【請求項1】 所定の不純物を高濃度にドーピングした高強度シリコン支持基板と。

前記高強度シリコン支持基板の少なくとも裏面に設けられ、前記高強度シリコン支持基板からの不純物の外方拡散を防止するバリア層と。

前記高強度シリコン支持基板の表面に、絶縁膜を介して設けられたシリコン層とを有することを特徴とする半導体基板。

【請求項2】 請求項1記載の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面及び側面に形成された絶縁層であることを特徴とする半導体基板。

【請求項3】 請求項1記載の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面及び側面に形成されたポリシリコン層であることを特徴とする半導体基板。

【請求項4】 請求項1記載の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面に張り合わされたシリコン基板であることを特徴とする半導体基板。

【請求項5】 所定の不純物を高濃度にドーピングした高強度シリコン支持基板の少なくとも裏面に、前記高強度シリコン支持基板からの不純物の外方拡散を防止するバリア層を形成する工程と。

前記高強度シリコン支持基板の表面に、絶縁膜を介して、シリコン基板を張り合わせる工程と。

前記シリコン基板の表面を研磨して、所定の厚さのシリコン層を形成する工程とを有することを特徴とする半導体基板の製造方法。

【請求項6】 請求項5記載の半導体基板の製造方法において、

前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面及び側面に、バリア層としての絶縁層を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項7】 請求項5記載の半導体基板の製造方法において、

前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面及び側面に、バリア層としてのポリシリコン層を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項8】 請求項5記載の半導体基板の製造方法において、

前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面に、バリア層としてのシリコン基板を張り合わせる工程であることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明は半導体基板及びその製造方法に係り、特に張り台わせSOI(Silicon On Insulator)基板及びその製造方法に関する。近年、張り台わせSOI基板は、その高達性や耐環境性からメモリ素子、ロジック素子、CCD等、いろいろな用途が考えられていて、次世代材料として期待されている。ところが最先端の微細素子を作るためには、数百工程ものプロセスを経なくてはならないため、熱処理から生じるSOI基板の反り(bow)が素子特性や製造歩留りに重大な影響を及ぼしていた。

【0002】 そして最近、このSOI基板の反りの問題を解決すべく画期的な方法が考案された。それは、Si(シリコン)の結晶成長時にB(硼素)やGe(ゲルマニウム)等を高濃度にドーピングすることにより、Siウェハの結晶強度を高め、この高強度Siウェハを支持基板としてSOI基板を作る方法であり、この方法によって得られたSOI基板は、熱処理時の反りが飛躍的に低減されることが明らかになった(Tetsuo Fukuda and Akira Ohnami, Mechanical strength of silicon crystals with oxygen and boron impurities, Appl. Phys. Lett., vol.58, No.23, 2634(1991)参照)。

【0003】

【従来の技術】 上記の高強度張り台わせSOI基板は、次のようにして作製していた。まず、結晶の強度を高めるため、(1) Bを $1 \times 10^{19} \text{ cm}^{-3}$ 以上、Geを $3 \times 10^{19} \text{ cm}^{-3}$ 以上ドーピングしたSiウェハ、(2) Bのみを $3 \times 10^{19} \text{ cm}^{-3}$ 以上ドーピングしたSiウェハ、(3) Geのみを $3 \times 10^{19} \text{ cm}^{-3}$ 以上ドーピングしたSiウェハのいずれかのSiウェハを酸化して、全面に厚さ0.5μmの熱酸化膜を形成する。

【0004】 次いで、この支持基板としての高強度Siウェハと、SOI層を形成するSiウェハとを、減圧下800°Cで鏡面同士張り合わせ、300Vの電圧を印加する。更に、接着強度を高めるためにN₂(窒素)雰囲気で1100°C、30分のアニールをする。最後に、SOI層を形成する。こうして、熱処理時の反りを飛躍的に低減することができる高強度張り台わせSOI基板を作製する。

【0005】

【発明が解決しようとする課題】 しかしながら、上記従来の高強度張り台わせSOI基板においては、その高強度の支持基板が本質的に高濃度不純物を含むため、そして現実のデバイスプロセスでは高温処理を経なければならないため、その熱プロセスで不純物が支持基板側から外方並散してSOI層に混入し、素子の微妙な不純物制御が困難となるという問題があった。

【0006】 そこで本発明は、熱プロセス時において、SOI基板の反りを低減すると共に、不純物を高濃度にドーピングした支持基板からSOI層への不純物の混入

50

(3)

特開平5-226620

3

を防止することができる半導体基板及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題は、所定の不純物を高濃度にドーピングした高強度シリコン支持基板と、前記高強度シリコン支持基板の少なくとも裏面に設けられ、前記高強度シリコン支持基板からの不純物の外方拡散を防止するバリア層と、前記高強度シリコン支持基板の表面に、絶縁膜を介して設けられたシリコン層とを有することを特徴とする半導体基板によって達成される。

【0008】また、上記の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面及び側面に形成された絶縁層であることを特徴とする半導体基板によって達成される。また、上記の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面及び側面に形成されたポリシリコン層であることを特徴とする半導体基板によって達成される。

【0009】また、上記の半導体基板において、前記バリア層が、前記高強度シリコン支持基板の裏面に張り合わされたシリコン基板であることを特徴とする半導体基板によって達成される。更に、上記課題は、所定の不純物を高濃度にドーピングした高強度シリコン支持基板の少なくとも裏面に、前記高強度シリコン支持基板からの不純物の外方拡散を防止するバリア層を形成する工程と、前記高強度シリコン支持基板の表面に、絶縁膜を介して、シリコン基板を張り合わせる工程と、前記シリコン基板の表面を研磨して、所定の厚さのシリコン層を形成する工程とを有することを特徴とする半導体基板の製造方法によって達成される。

【0010】また、上記の半導体基板の製造方法において、前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面及び側面に、バリア層としての絶縁層を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。また、上記の半導体基板の製造方法において、前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面及び側面に、バリア層としてのポリシリコン層を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。

【0011】また、上記の半導体基板の製造方法において、前記バリア層を形成する工程が、前記高強度シリコン支持基板の裏面に、バリア層としてのシリコン基板を張り合わせる工程であることを特徴とする半導体基板の製造方法によって達成される。

【0012】

【作用】本発明では、所定の不純物を高濃度にドーピングした高強度シリコン支持基板の少なくとも裏面にバリア層が設けられることにより、その後の熱プロセス時ににおいて、高強度シリコン支持基板からの不純物の外方拡散を抑制することができるため、シリコン層への不

4

純物の侵入を防止することができ、素子の微妙な不純物制御を可能とする。

【0013】

【実施例】以下、本発明を図示する実施例に基づいて具体的に説明する。図1は本発明の第1の実施例による高強度SOI基板を示す断面図である。高強度Si支持基板10には、濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeがドーピングされている。そしてこの高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層として、厚さ0.3 μmの熱酸化膜12が形成されている。また、高強度Si支持基板10の裏面には、絶縁膜としての熱酸化膜14を介して、所定の厚さのSOI層16が形成されている。

【0014】次に、図1に示す高強度SOI基板の第1の製造方法を、図2の工程図を用いて説明する。高強度Si支持基板10には、濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeがドーピングされている(図2(a)参照)。そしてこの高強度Si支持基板10を、温度1000°Cのウェット(wet)酸素雰囲気中で加熱して、その表面、裏面及び側面に厚さ0.3 μmの熱酸化膜12を形成し、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層とする(図2(b)参照)。

【0015】他方、SOI層となるSiウェハ18は、CZ(チャクラルスキー)法により単結晶引上げがなされたもので、濃度 $1 \times 10^{11} \text{ cm}^{-3}$ 程度のBがドーピングされた比抵抗10Ωcm、面指數(100)のp型Siウェハである(図2(c)参照)。そしてこのSiウェハ18を、温度1100°Cのウェット酸素雰囲気中で加熱して、その表面、裏面及び側面に厚さ0.5 μmの熱酸化膜20を形成する(図2(d)参照)。

【0016】次いで、高強度Si支持基板10表面の熱酸化膜12とSiウェハ18裏面の熱酸化膜20とを張り合わせ、温度800°Cに加熱してパルス電圧300Vを加える。こうして、熱酸化膜12及び熱酸化膜20からなる厚さ0.8 μmの熱酸化膜14を介して、高強度Si支持基板10表面とSiウェハ18裏面とを張り合わせる(図2(e)参照)。

【0017】次いで、Siウェハ18表面をメカノケミカル研磨して薄膜化して、所定の厚さのSOI層16を形成する(図2(f)参照)。こうして、裏面及び側面にバリア層としての熱酸化膜12が形成された高強度Si支持基板10表面に、厚さ0.8 μmの熱酸化膜14を介して、SOI層16が形成されている図1の高強度SOI基板を作製する。

【0018】次に、上記第1の製造方法により作製した図1の高強度SOI基板について、デバイス作製上の熱プロセスでの反り具合及び高強度Si支持基板10からの外方拡散によるSOI層16への不純物Ge、Bの混

(4)

特開平5-226620

5

入具合を調べた。この実験における熱プロセスは、CMOSの熱プロセスをシミュレートしたものであり、図3に示すようなフローで、温度1000°C、2hrs(時間)の熱処理を2回、温度1150°C、8hrsの熱処理を1回、温度1000°C、2hrsの熱処理を6回、それぞれN₂雰囲気中で行った。

【0019】そしてASTM(American Society of Testing Materials)の規格に従って、高強度SOI基板の反りを測定した。この結果を、図4のグラフに示す。このグラフから明らかのように、不純物B、Geがドーピングされていない通常のSi支持基板を用いた従来技術によるSOI基板の反りが60μm程度であるのに対し、本実施例による不純物B、Geがドーピングされている高強度Si支持基板10を用いた場合の図1の高強度SOI基板の反りは、20μm程度と大幅に改善されている。

【0020】また、SIMS(Secondary Ion Mass Spectrometer)を用いて、SOI層16中のGe濃度及びB濃度を測定した。この結果を、図5及び図6のグラフにそれぞれ示す。図5のグラフから明らかのように、Si支持基板に単に不純物B、Geがドーピングされているだけの従来技術による高強度SOI基板の場合のSOI層中のGe濃度が $1 \times 10^{11} \text{ cm}^{-3}$ 程度であるのに対し、高強度Si支持基板10の裏面及び側面にバリア層としての熱酸化膜12が形成されている本実施例による図1の高強度SOI基板の場合のSOI層16中のGe濃度は、初期ウェハの場合と同様に、検出限界以下(DL)と極めて低い。

【0021】更に、図6のグラフから明らかのように、従来技術による高強度SOI基板の場合のSOI層中のB濃度が $1 \times 10^{11} \text{ cm}^{-3}$ 程度であるのに対し、本実施例による図1の高強度SOI基板の場合のSOI層16中のB濃度は、 $1 \times 10^{11} \text{ cm}^{-3}$ 程度と初期ウェハの場合と殆ど変わらない。このように第1の実施例によれば、不純物B、Geが高濃度でドーピングされている高強度Si支持基板10を用いているため、高強度SOI基板として、その後のデバイス作製上の熱プロセスにおける反りを低減することができる。

【0022】また、高強度Si支持基板10の裏面及び側面に熱酸化膜12が形成されていることにより、その後の熱プロセス時において、この熱酸化膜12が高強度Si支持基板10からの不純物B、Geの外方並散に対するバリア層として機能し、SOI層16への不純物B、Geの侵入を防止することができるため、素子の微妙な不純物制御を可能とする。

【0023】従って、高強度SOI基板を用いたプロセスの歩留りを向上させることができると共に、素子の特性及び信頼性を向上させることができる。なお、上記第1の実施例においては、図2の工程図に示す第1の製造方法を用いて図1の高強度SOI基板を作製したが、図

7の工程図に示す第2の製造方法を用いて作製してもよい。

【0024】即ち、図2(a)、(b)と同様にして、高強度Si支持基板10の表面、裏面及び側面にバリア層としての熱酸化膜12を形成する(図7(a))。

(b)参照)。続いて、高強度Si支持基板10表面の熱酸化膜12のみを選択的に除去する(図7(c)参照)。また、図2(c)、(d)と同様にして、SOI層となるSiウェハ18の表面、裏面及び側面に熱酸化膜20を形成する(図7(d)、(e)参照)。

【0025】次いで、熱酸化膜12が除去された露出した高強度Si支持基板10表面と、熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせ、温度800°Cに加熱してパルス圧縮300Vを加える(図7(f)参照)。なお、このとき、高強度Si支持基板10の表面、裏面及び側面にバリア層としての熱酸化膜12を形成した後、露出させた高強度Si支持基板10表面と熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせる代わりに、高強度Si支持基板10表面と熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせた後、露出している高強度Si支持基板10の裏面及び側面にバリア層としての熱酸化膜12を形成してもよい。

【0026】次いで、Siウェハ18表面をメカノケミカル研磨して薄膜化して、所定の厚さのSOI層16を形成する。こうして、裏面及び側面にバリア層としての熱酸化膜12が形成された高強度Si支持基板10表面に、厚さ0.5μmの熱酸化膜20を介して、SOI層16が形成されている高強度SOI基板を作製する(図7(g)参照)。

【0027】なお、この第2の製造方法を用いて作製した高強度SOI基板は、第1の製造方法を用いて作製した図1の高強度SOI基板と同一の構造をなしており、高強度Si支持基板10とSOI層16との間の絶縁膜が、図2(f)に示す厚さ0.8μmの熱酸化膜14の代わりに、厚さ0.5μmの熱酸化膜20である点のみが異なっている。

【0028】次に、本発明の第2の実施例による高強度SOI基板を、図8に示す断面図を用いて説明する。なお、上記図1に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。濃度 $3 \times 10^{11} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{11} \text{ cm}^{-3}$ のGeとがドーピングされている高強度Si支持基板10の裏面及び側面には、高強度Si支持基板10からの不純物B、Geの外方並散を防止するためのバリア層として、CVD(Chemical Vapor Deposition)法により形成された厚さ0.3μmのいわゆるCVD酸化膜22が形成されている。また、高強度Si支持基板10の表面には、厚さ0.5μmの熱酸化膜20を介して、所定の厚さのSOI層16が形成されている。

(5)

特開平5-226620

7

【0029】次に、図8に示す高強度SOI基板の製造方法を、図9の工程図を用いて説明する。なお、上記図2に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。図2(a)と同様に、高強度Si支持基板10には、濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeとがドーピングされている(図9(a)参照)。また、図2(c)、(d)と同様にして、比抵抗 $10 \Omega \text{ cm}$ 、面指致(100)のp型BドープCZ-Siウェハ18の表面、裏面及び側面に、熱酸化膜20を形成する(図9(b)、(c)参照)。

【0030】次いで、高強度Si支持基板10表面と、熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせ、温度 800°C に加熱してパルス圧 300V を加える(図9(d)参照)。次いで、露出している高強度Si支持基板10の裏面及び側面に、CVD法を用いて、厚さ $0.3 \mu\text{m}$ のCVD酸化膜22を形成し、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層とする(図9(e)参照)。

【0031】次いで、Siウェハ18表面をメカノケミカル研磨して薄膜化し、所定の厚さのSOI層16を形成する(図9(f)参照)。こうして、裏面及び側面にバリア層としてのCVD酸化膜22が形成された高強度Si支持基板10表面に、熱酸化膜20を介して、SOI層16が形成されている図8の高強度SOI基板を作製する。

【0032】このように第2の実施例による高強度SOI基板は、上記第1の実施例における熱酸化膜12の代わりに、CVD酸化膜22が高強度Si支持基板10の裏面及び側面に形成されている点に特徴がある。従って、このCVD酸化膜22が、その後の熱プロセス時において、高強度Si支持基板10からの不純物B、Geの外方拡散に対するバリア層として機能するため、上記第1の実施例と同様の効果を奏すことができる。

【0033】なお、上記第2の実施例においては、高強度Si支持基板10から不純物B、Geが外方拡散することを防止するためのバリア層として、厚さ $0.3 \mu\text{m}$ のCVD酸化膜22が用いられているが、このCVD酸化膜22の代わりに、厚さ $1 \mu\text{m}$ のPSG(Phospho-Silicate Glass)膜又は厚さ $0.3 \mu\text{m}$ の塗化膜を用いてよい。

【0034】この場合、上記図9(e)に示す工程において、CVD酸化膜22の代わりに、露出している高強度Si支持基板10の裏面及び側面に、厚さ $1 \mu\text{m}$ のPSG膜又は厚さ $0.3 \mu\text{m}$ の塗化膜を形成すればよい。また、上記第2の実施例においては、高強度Si支持基板10裏面と熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせた後、露出した高強度Si支持基板10の裏面及び側面にバリア層としてのCVD酸化膜22を形成しているが、高強度Si支持基板10の裏面及

び側面にバリア層としてのCVD酸化膜22を形成した後、露出した高強度Si支持基板10表面と熱酸化膜20が形成されたSiウェハ18裏面との張り合わせを行ってよい。

【0035】次に、本発明の第3の実施例による高強度SOI基板を、図10に示す断面図を用いて説明する。なお、上記図8に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeとがドーピングされている高強度Si支持基板10の裏面及び側面には、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層として、CVD法により形成された厚さ $0.4 \mu\text{m}$ のポリSi膜24が設けられている。また、高強度Si支持基板10の表面には、厚さ $0.5 \mu\text{m}$ の熱酸化膜20を介して、所定の厚さのSOI層16が形成されている。

【0036】次に、図10に示す高強度SOI基板の製造方法を、図11の工程図を用いて説明する。なお、上記図9に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。図9(a)と同様に、高強度Si支持基板10には、濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeとがドーピングされている(図11(a)参照)。また、図9(b)、(c)と同様にして、比抵抗 $10 \Omega \text{ cm}$ 、面指致(100)のp型BドープCZ-Siウェハ18の表面、裏面及び側面に、熱酸化膜20を形成する(図11(b)、(c)参照)。

【0037】次いで、高強度Si支持基板10表面と、熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせ、温度 800°C に加熱してパルス圧 300V を加える(図11(d)参照)。次いで、露出している高強度Si支持基板10の裏面及び側面に、CVD法を用いて、厚さ $0.4 \mu\text{m}$ のポリSi膜24を形成し、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層とする(図11(e)参照)。

【0038】次いで、Siウェハ18表面をメカノケミカル研磨して薄膜化し、所定の厚さのSOI層16を形成する(図11(f)参照)。こうして、裏面及び側面にバリア層としてのポリSi膜24が形成された高強度Si支持基板10裏面に、熱酸化膜20を介して、SOI層16が形成されている図10の高強度SOI基板を作製する。

【0039】このように第3の実施例による高強度SOI基板は、上記第2の実施例におけるCVD酸化膜22の代わりに、ポリSi膜24が高強度Si支持基板10の裏面及び側面に形成されている点に特徴がある。従って、このポリSi膜24が、その後の熱プロセス時において、高強度Si支持基板10からの不純物B、Geの外方拡散に対するバリア層として機能すると共に、いわゆるポリバックシール効果により、プロセス中に生じる

50

(5)

特開平5-226620

9

メタル汚染等をポリSi臓24と高強度Si支持基板10との界面にトラップすることができるため、上記第1の実施例と同様又はそれ以上の効果を奏することができます。

【0040】次に、本発明の第4の実施例による高強度SOI基板を、図12に示す断面図を用いて説明する。なお、上記図8に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeとがドーピングされている高強度Si支持基板10裏面には、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層として、比抵抗 $10 \Omega \text{ cm}$ 、面指数(100)のp型BドープCZ-Siウェハ26が張り合わせられている。また、高強度Si支持基板10の表面には、厚さ0.5μmの熱酸化膜20を介して、所定の厚さのSOI層16が形成されている。

【0041】次に、図12に示す高強度SOI基板の製造方法を、図13の工程図を用いて説明する。なお、上記図9に示す高強度SOI基板と同一の構成要素には同一の符号を付して説明を省略する。図9(a)と同様に、高強度Si支持基板10には、濃度 $3 \times 10^{19} \text{ cm}^{-3}$ のBと濃度 $1 \times 10^{19} \text{ cm}^{-3}$ のGeとがドーピングされている(図13(a)参照)。また、図9(b)、(c)と同様にして、比抵抗 $10 \Omega \text{ cm}$ 、面指数(100)のp型BドープCZ-Siウェハ18の表面、裏面及び側面に、熱酸化膜20を形成する(図13(b)、(c)参照)。

【0042】次いで、高強度Si支持基板10表面と、熱酸化膜20が形成されたSiウェハ18裏面とを張り合わせ、濃度 800°C に加熱してパルス圧 300V を加える(図13(d)参照)。次いで、露出している高強度Si支持基板10の表面に、比抵抗 $10 \Omega \text{ cm}$ 、面指数(100)のp型BドープCZ-Siウェハ26を張り合わせ、高強度Si支持基板10からの不純物B、Geの外方拡散を防止するためのバリア層とする(図13(e)参照)。

【0043】次いで、Siウェハ18表面をメカノケミカル研磨して薄膜化し、所定の厚さのSOI層16を形成する(図13(f)参照)。こうして、裏面にバリア層としてのSiウェハ26が張り合わせられた高強度Si支持基板10表面に、熱酸化膜20を介して、SOI層16が形成されている図12の高強度SOI基板を作製する。

【0044】このように第4の実施例による高強度SOI基板は、上記第2の実施例におけるCVD酸化膜22の代わりに、Siウェハ26が高強度Si支持基板10裏面に形成されている点に特徴がある。なお、高強度Si支持基板10側面が露出したままであることにより、この露出面から不純物B、Geが外方拡散する恐れがあるが、高強度Si支持基板10の厚さは $500 \mu\text{m}$ 程度

10

であり、高強度Si支持基板10の底面積と比較すると、その側面の露出面積は極めて小さいため、不純物B、Geの外方拡散も極めて少なく、実用上は無視することができる。

【0045】従って、Siウェハ26が、その後の熱プロセス時において、高強度Si支持基板10からの不純物B、Geの外方拡散に対するバリア層として機能するため、上記第1の実施例とはほぼ同様の効果を奏することができます。

10 【0046】

【発明の効果】以上説明したように、本発明によれば、所定の不純物を高濃度にドーピングした高強度シリコン支持基板と、この高強度シリコン支持基板の少なくとも裏面に設けられ、前記高強度シリコン支持基板からの不純物の外方拡散を防止するバリア層と、高強度シリコン支持基板の裏面に絶縁膜を介して設けられたシリコン層とを有することにより、シリコン層に素子を形成する際の熱プロセス時においても、高強度シリコン支持基板からの不純物の外方拡散を抑制し、シリコン層への不純物の混入を防止することができるため、素子の微妙な不純物制御を可能とする。

【0047】従って、この半導体基板を用いたプロセスの歩留りを向上させることができると共に、素子の特性及び信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による高強度SOI基板を示す断面図である。

【図2】図1の高強度SOI基板の第1の製造方法を説明するための工程図である。

【図3】図2に示す第1の製造方法により作製した高強度SOI基板に加えた熱プロセスを説明するための図である。

【図4】図3に示す熱プロセスを加えたときの高強度SOI基板の反りを示すグラフである。

【図5】図3に示す熱プロセスを加えたときの高強度SOI基板のSOI層に復入したGe濃度を示すグラフである。

【図6】図3に示す熱プロセスを加えたときの高強度SOI基板のSOI層に復入したB濃度を示すグラフである。

【図7】図1の高強度SOI基板の第2の製造方法を説明するための工程図である。

【図8】本発明の第2の実施例による高強度SOI基板を示す断面図である。

【図9】図8の高強度SOI基板の製造方法を説明するための工程図である。

【図10】本発明の第3の実施例による高強度SOI基板を示す断面図である。

【図11】図10の高強度SOI基板の製造方法を説明するための工程図である。

40

50

(7)

特開平5-226620

12

11

【図12】本発明の第4の実施例による高強度SOI基板を示す断面図である。

【図13】図12の高強度SOI基板の製造方法を説明するための工程図である。

【符号の説明】

10…高強度Si支持基板

12…熱酸化膜

* 14…熱酸化膜

16…SOI層

18…Siウェハ

20…熱酸化膜

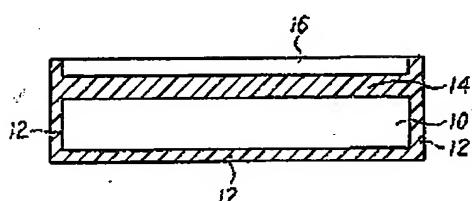
22…CVD酸化膜

24…ポリSi膜

* 26…Siウェハ

【図1】

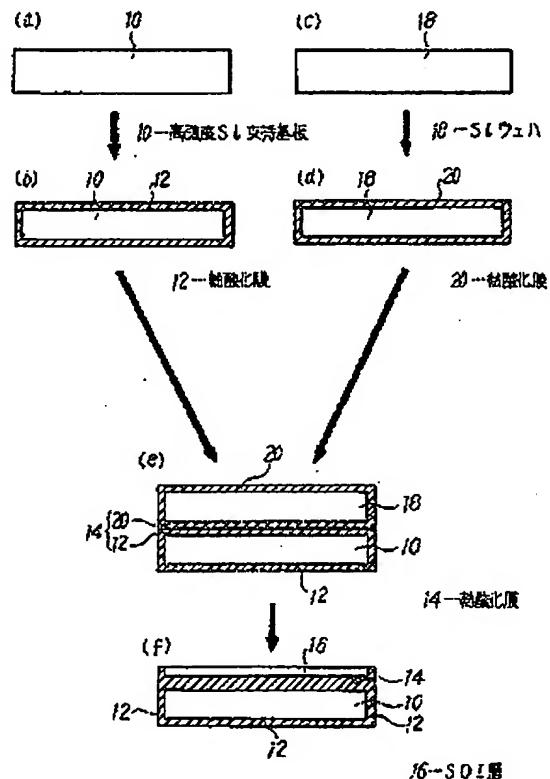
本発明の第1の実施例による高強度SOI基板を示す断面図



10…高強度Si支持基板
12…熱酸化膜
14…熱酸化膜
16…SOI層

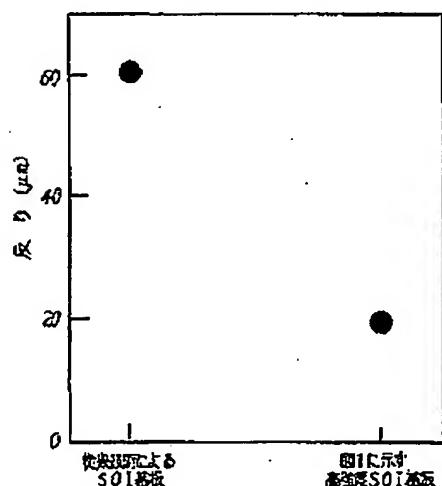
【図2】

図1の高強度SOI基板の第1の製造方法を説明するための工程図



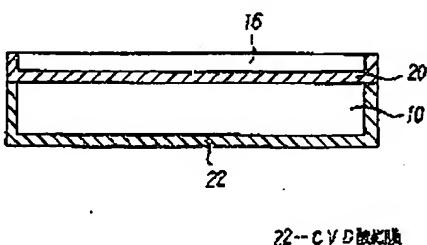
【図4】

図3に示す様プロセスを加えたときの
図1の高強度SOI基板の反りを示すグラフ



【図8】

本発明の第2の実施例による高強度SOI基板を示す断面図



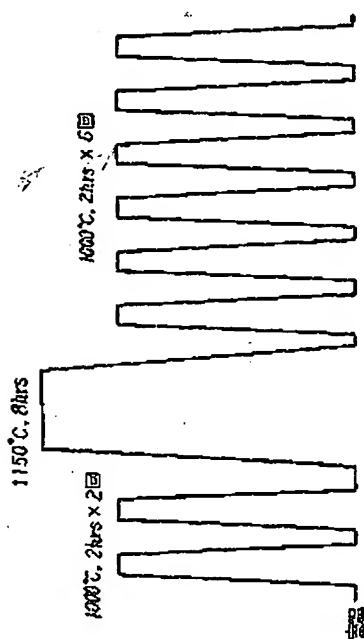
22…CVD酸化膜

(3)

特開平5-226620

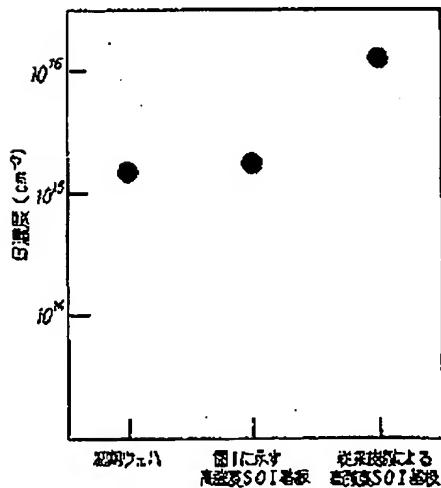
【図3】

図1の高強度SOI基板に加えた熱プロセスを説明するための図



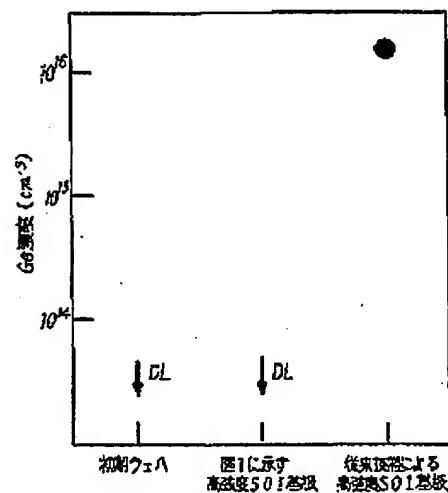
【図6】

図3に示す熱プロセスを加えたときの図1の高強度SOI基板のSOI層に注入したB濃度を示すグラフ



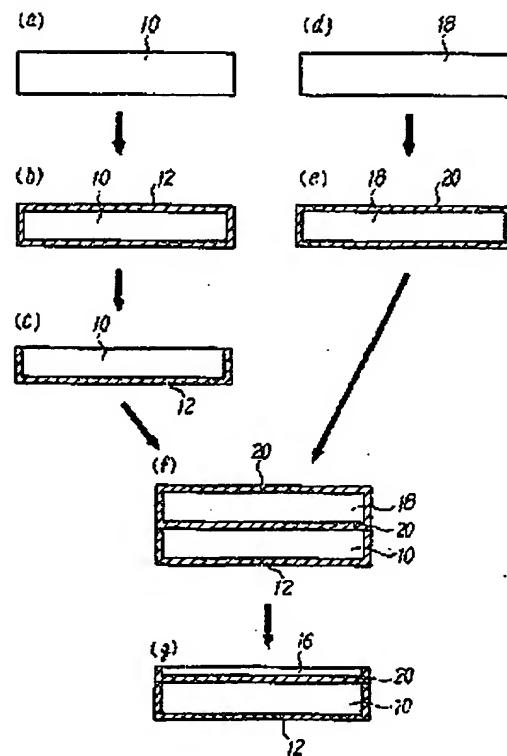
【図5】

図3に示す熱プロセスを加えたときの図1の高強度SOI基板のSOI層に注入したGe濃度を示すグラフ



【図7】

図1の高強度SOI基板の第2の製造方法を説明するための工程図

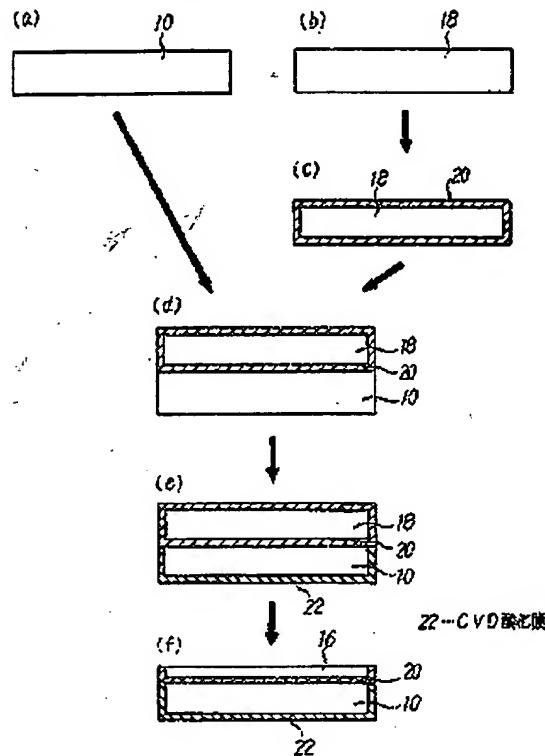


(9)

特開平5-226620

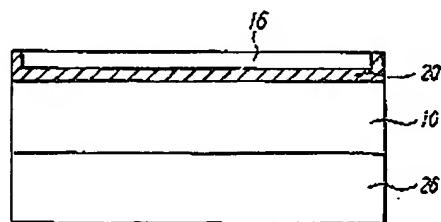
【図9】

図8の高強度SOI基板の製造方法を説明するための工程図



【図12】

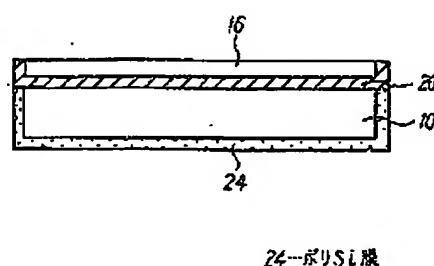
本発明の第4の実施例による高強度SOI基板を示す断面図



20-Siウェハ

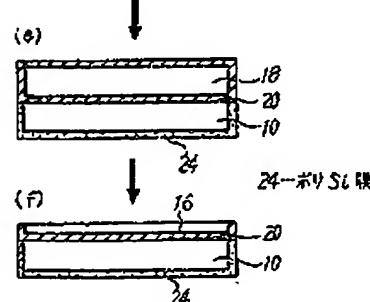
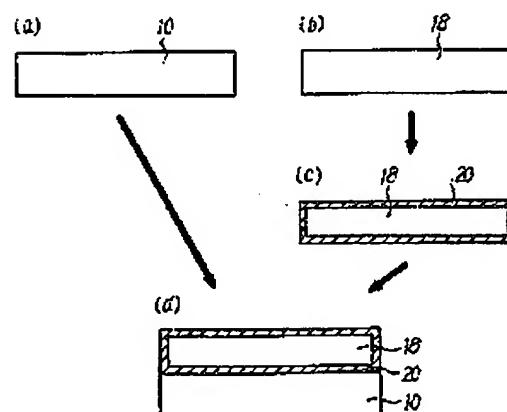
【図10】

本発明の第3の実施例による高強度SOI基板を示す断面図



【図11】

図10の高強度SOI基板の製造方法を説明するための工程図



(10)

特開平5-226620

【図13】

図12の高強度S01基板の製造方法を説明するための工程図

